

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 51-135381
(43)Date of publication of application : 24.11.1976

(51)Int.CI. H01L 29/80
H01L 21/302
H01L 21/22

(21)Application number : 50-060437 (71)Applicant : MATSUSHITA ELECTRONICS CORP
(22)Date of filing : 19.05.1975 (72)Inventor : YAMAGUCHI TOSHIHARU
SUGUMOTO SUSUMU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To increase the essential impurity density of the gate area and to prevent any potential distribution by the gate current by enlarging cross sectional area of the gate gril in the longitudinal type multichannel JFET.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

公開特許公報

⑪ 特開昭 51- 135381

⑬ 公開日 昭51. (1976) 11. 24

⑭ 特願昭 50- 60437

⑮ 出願日 昭50. (1975) 5. 19

審査請求 未請求 (全5頁)

序内整理番号

6426 57
7113 57
6684 57

⑯ 日本分類

9915E3
9915C3
9915B1Z⑰ Int.Cl²H01L 29/80
H01L 21/302
H01L 21/22

特許出願人

1. 発明の名称
ヘトウタイソウチ セイシクホウホウ
半導体基盤およびその製造方法

2. 特許請求の範囲に記載された発明の数 3

3. 発明者
カドマシオオサカトモ
住所 大阪府門真市大字門真1006番地
マツシダデンシヨウギョウ
松下電子工業株式会社内
氏名 山口俊治
(ほか1名)

4. 特許出願人
住所 大阪府門真市大字門真1006番地
名称 (584) 松下電子工業株式会社
代表者 三由清二
5. 代理人
住所 大阪府門真市大字門真1006番地
松下電子工業株式会社内
氏名 (6971) 井理士中尾敏男
(ほか1名)
【連絡先電話(東京)463-3111特許分室】

6.添付書類の目録
(1) 明細書
(2) 図
(3) 契約書
(4) 評議書

7. 通特
通特
通特
通特

明細書

1. 発明の名称

半導体基盤およびその製造方法

2. 特許請求の範囲

(1) 一導電型の半導体基板の一主面に選択的に設けられた各絶縁層の下部に前記半導体基板と反対導電型のゲート領域を有し、前記ゲート領域と同一導電型の高不純物濃度層を前記絶縁層内に前記ゲート領域と接するように設け、前記半導体基板の一主面をソース領域とし他の主面をドレイン領域とすることを特徴とする半導体基盤。

(2) 一導電型の半導体基板表面を覆う絶縁被膜に穿設した空を通して前記半導体基板と反対導電型の不純物拡散層を設ける工程と、前記不純物拡散層の表面を前記絶縁被膜のエッティング液および前記半導体基板のエッティング液に耐える耐食膜で覆う工程と、前記不純物拡散層の表面および前記不純物拡散層に隣接する前記半導体基板表面の前記絶縁被膜を除去して露出する前記不純物拡散層と前記不純物拡散層とに隣接する前記半導体基板とに溝を設ける工程と、前記絶縁物被膜の裏部を除去し前記半導体基板表面および前記絶縁層表面に電極を形成する工程とを備えたことを特徴とする半導体基盤の製造方法。

3. 発明の詳細な説明

記不純物拡散層と前記不純物拡散層に隣接する前記半導体基板とに溝を設ける工程と、前記耐食膜を除去し前記溝と前記不純物拡散層表面に絶縁層を設ける工程と、前記絶縁被膜の裏部を除去し、前記半導体基板表面および前記絶縁層表面に電極を形成する工程とを備えたことを特徴とする半導体基盤の製造方法。

(3) N型半導体基板表面を覆う絶縁被膜に穿設した空を通して耐酸化合物の不純物拡散層を設け、拡散時に前記不純物拡散層表面に形成された被膜を残存させる工程と、前記不純物拡散層の表面および前記不純物拡散層に隣接する前記半導体基板表面の前記絶縁被膜を除去して露出する前記不純物拡散層と前記不純物拡散層とに隣接する前記半導体基板とに溝を設ける工程と、前記絶縁物被膜の裏部を除去し前記半導体基板表面および前記絶縁層表面に電極を形成する工程とを備えたことを特徴とする半導体基盤の製造方法。

本発明は1個もしくは複数個のチャンネルを有する半導体装置、特に接合型電界効果トランジスタおよびその製造方法に関するものである。

従来の接合型電界効果トランジスタとしては、第1図a、bで示すような接合型電界効果トランジスタがよく知られている。

第1図aは従来よりよく知られている複数個のチャンネルを有する接合型電界効果トランジスタの部分拡大平面図で、図示するように、半導体のシリコン基板1の中に形成された正方形の部分がチャンネル2であり、かかるチャンネル2が複数個存在している。第1図bは第1図aのB-B線に沿った構造断面図でチャンネル2はN型シリコン基板1を用いて構成され、その裏面側でソース電極3を接続されている。なお各チャンネル2はP型のゲート領域4によって包囲され、又ゲート領域4は酸化シリコン絶縁層5が下部で互いにつながり格子状を呈し、その一部がゲート電極6に接続されている。なお、第1図a、bではN型半導体層をチャンネルとして利用しP型半導体層

をゲート領域として利用しているが、P型半導体層をチャンネルとしてN型半導体層をゲート領域とする構造のものもよく知られている。そして、かかる接合型電界効果トランジスタは周知の不純物拡散技術、退銳膜化技術等を駆使して製作されるのが普通である。

ところで多数のチャンネルを有する接合型電界効果トランジスタでは不純物拡散によって形成されるゲート格子を流れるゲート電流により電位分布が生じ、各チャンネルのビンテオフ電圧が異なるものとなり、入出力特性、スイッチング特性、耐久性等に悪影響を及ぼす。この電位分布を少なくするためにゲート領域の不純物濃度を高くするとともに、ゲートの横方向断面積を大きくするよりも配筋が設計時にはらわれねばならない。しかるに第1図a及びbで示す従来の接合型電界効果トランジスタでは、不純物拡散によって形成したゲート領域の裏面近くの高不純物濃度領域が完全に消滅している。このためゲート拡散領域4を流れるゲート電流によって電位分布が発生する。

本発明はかかる不都合を確實に排除することとができる構造を具備した接合型電界効果トランジスタおよびその製造方法を提供することを目的とするもので、ゲート領域上に、これと同一導電型で高い不純物濃度を有する半導体層を設け、ゲート領域の実質的な不純物濃度を高めるとともに、併せてゲート格子の断面積を大きくしたことを特徴としている。

以下に本発明を図面とともに説明する。

第2図a、bは本発明にかかる接合型電界効果トランジスタを示す図で、第2図aは部分拡大平面図、第2図bは第2図aのB-B線に沿った構造断面図を示す。第2図a、bにおいてチャンネル2はN型シリコン基板1を用いて構成され、その裏面側でソース電極3を接続されている。そして各々のチャンネル2はP型のゲート領域4によって包囲され、さらにゲート領域4の上部に接してゲート領域よりも不純物濃度の高いP⁺型シリコン層アが形成されている。このP⁺型シリコン層アは、酸化シリコン絶縁層5とゲート領域4によ

ってかこまれてあり、酸化シリコン絶縁層5の下部でゲート領域4と一緒に格子状を呈し、その一部がゲート電極6に接続されている。

第2図a、bで示した従来の接合型電界効果トランジスタでは格子中を流れるゲート電流により電位分布が生じ、チャンネルのビンテオフ電圧に悪影響の及ぼされることについては、すでに説明したところであるが、第2図a、bで示す本発明の接合型電界効果トランジスタではゲート領域4上にゲート領域4よりも不純物濃度が高く、ゲート領域4と同一導電型のシリコン層アが形成されており、このシリコン層アによってゲート格子各部の直列抵抗が減少しゲート格子内の電位分布が減少するものとなる。

また、P⁺型シリコン層アを十分な厚さをもつ酸化シリコン絶縁層5で包囲したことによって、ゲート容量の低減とゲート耐圧の向上の面で効果が発される。

なお、第2図a、bで示した実施例ではN型半導体層をチャンネルとして利用しP型半導体層を

□ ゲート領域として利用しているが、P型半導体層をチャネルとして利用し、N型半導体層をゲート領域とする場合にも本発明を適用出来ることは明らかである。

ところで以上説明してきた接合型電界効果トランジスタは、不純物拡散により表面層に形成される高不純物濃度層をそのまま利用するため、不純物拡散層の表面に耐食膜を設ける製造方法により作ることが出来る。

図3図a～fは、接合型電界効果トランジスタの1つのゲート領域と、これに関連した領域部を拡大し、この部分の製造工程を示す図である。

図3図aは、ゲート窓形成のための工程で、N型シリコン基板1の上に形成した酸化シリコン膜8と酸化シリコン膜9とからなる二層構造膜に、周知の写真食処理を施すことによってゲート窓10を形成する。次いで、この窓10を通してP型不純物の拡散を行い、ゲート領域4を形成したのち、ゲート領域4の表面上に酸化シリコン膜8ならびにシリコン基板1をエッティングするための

エッティング液に耐える耐食膜11を形成する。ここで、ゲート領域4の表面層は不純物拡散により高不純物濃度層となることは必然的である第3図b。

こののち、まず、酸化シリコン膜9下の酸化シリコン膜8を横方向へ部分的に食食除去して空洞部12を形成し、さらにこの空洞部12上に存在する酸化シリコン膜9の底状部分を除去し、第3図dで示す状態を得る。次いで、二層構造膜ならびに耐食膜11によって覆われることなく露呈したシリコン基板1の表面にエッティング液を作用させ、第3図eで示すようにエッティング液13を深く形成する。ところで、以上のエッティング工程において、ゲート領域4の表面は、最初耐食膜11によって覆われているため、ゲート領域4の表面層を形成する高不純物濃度層4はエッティング処理の後も確実に残存するものとなる。

以上の処理が完了したのち、耐食膜11を除去してゲート領域4表面を完全に露呈させ、引き続いて酸化シリコン膜8を成長させることによ

って第3図fで示すように、ゲートの高不純物濃度層7を酸化シリコン絶縁層8とゲート領域4とによって包囲する。このようにして、接合型電界効果トランジスタの基本部分を形成したのち、次いで、酸化シリコン膜9、酸化シリコン膜8ならびに酸化シリコン絶縁層8の一部をエッティングし、ソース領域となるシリコン基板1の凸部表面14を露呈させ第3図g、最後にソース電極3を形成することによって接合型電界効果トランジスタの製造が完了する。

以上の製造方法では一導電型の半導体基板表面にこれと反対導電型の不純物拡散層を形成し、さらに、その表面に耐食膜を設けたのであるが、半導体基板としてN型のものを用い、不純物拡散源としてP型の三塩化硼素(B_2O_3)、三臭化硼素(BBF_3)あるいは三塩化硼素(BCl_3)等のいわゆる硼素化合物を使用すると、かかる不純物拡散により形成された高不純物濃度層の表面には、この拡散処理工程で自然に耐食膜が形成されることになる。この拡散により形成される耐食膜は、HF-

NH_4F 系の酸化シリコン膜エッティング液ならびに $HNO_3-H_3PO_4-HF$ 系のシリコン基板エッティング液に対する耐食膜として積極的に利用することができる。

すなわち先述の図3図a～fに示す製造方法において、半導体基板1をN型のものとし不純物拡散層4を前述の硼素化合物とした場合には、第3図bにおいて耐食膜11は不純物の拡散処理と同時に形成されるので工程数が減ることになる。

以上説明してきたところから明らかのように、本発明の絶縁層内にゲート領域と設するようにゲート領域と同一導電型の高不純物濃度層を設けた半導体基板である接合型電界効果トランジスタでは、ゲート格子を保れるゲート電極に基く電位分布が従来のものにくらべて減少するものとなり、したがって、各チャネルのピンチオフ電圧が小さくなり、入出力特性ならびにスイッチング特性、耐久性が改善され大なる効果を奏すことができる。

また、本発明の製造方法は半導体基板表面に不

コン被膜、8 …… 酸化シリコン被膜、10 ……
… 硅、11 …… 耐食膜。

代理人の氏名 弁理士 中 尼 敏 男 担当1名

純物を拡散した後、この不純物拡散層表面に耐食被膜や半導体基板のエッティングから保護する耐食膜を設け、不純物拡散層の表面にある高濃度不純物層を利用したものであって、特別に不純物拡散層の表面から高濃度不純物層を拡散する必要はない。さらに、基板にN型の半導体を用い、不純物拡散源に遷移化合物を使用して半導体装置を製造した場合は、不純物拡散時に生じる膜を耐食膜として積極的に利用でき、製造中の確実性および製造工程数の低減に効果的なものである。

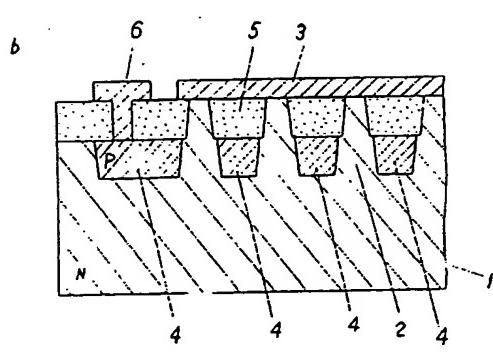
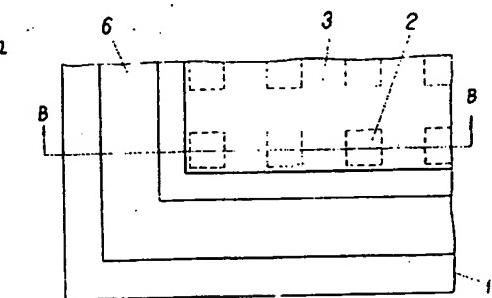
4. 図面の簡単な説明

第1図a, bは複数のチャネルを有する従来の接合型電界効果トランジスタの構造を示す図。

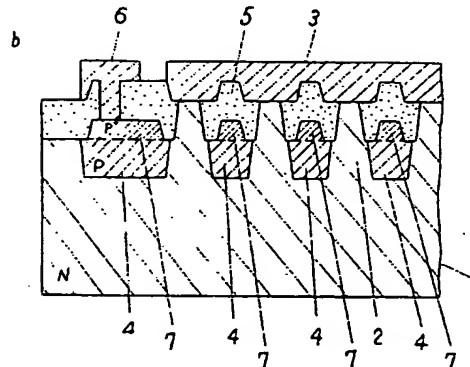
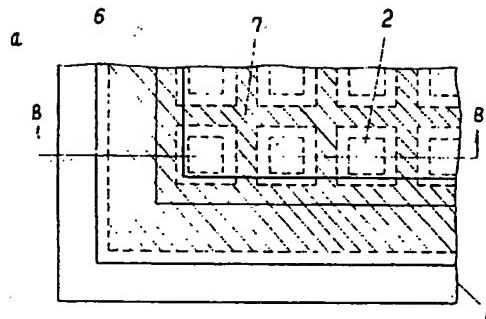
第2図a, bは本発明にかかる接合型電界効果トランジスタの構造を示す図。第3図a～hは本発明の製造方法を説明するための製造工程図である。

1 …… N型シリコン基板、2 …… チャンネル、3 …… ソース電極、4 …… ゲート電極、5 …… 酸化シリコン絶縁層、6 …… ゲート電極、7 …… P⁺型拡散領域、8 …… 酸化シリ

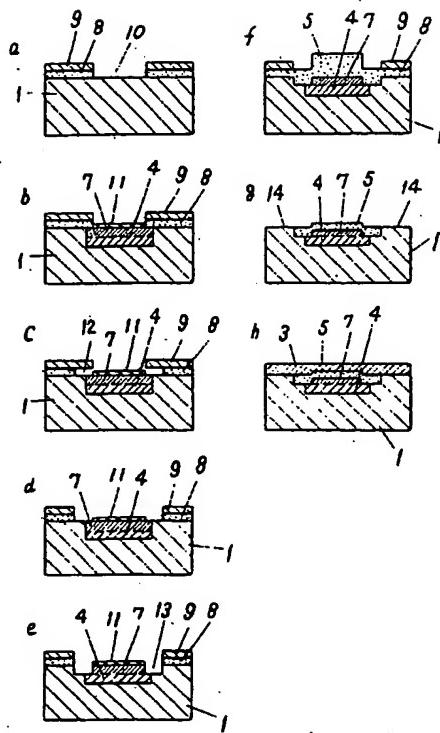
第1図



第2図



第3図



7 前記以外の発明者および代理人

(1) 発明者

住 所 大阪府門真市大字門真1006番地
松下電子工業株式会社内
氏 名 松下 勝本

(2) 代理人

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏 名 (6152) 弁理士 粟野重孝